

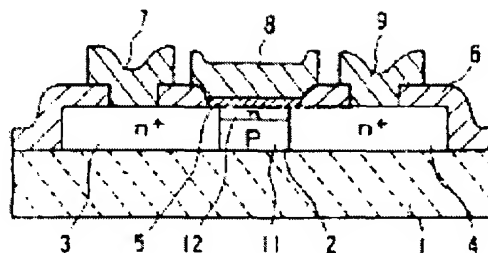
**THIN-FILM TRANSISTOR**

**Patent number:** JP62248255  
**Publication date:** 1987-10-29  
**Inventor:** MURAKAMI KOICHI  
**Applicant:** NISSAN MOTOR  
**Classification:**  
- international: **H01L27/12; H01L29/78; H01L29/786; H01L27/12; H01L29/66;** (IPC1-7): H01L27/12; H01L29/78  
- european: H01L29/786  
**Application number:** JP19860089963 19860421  
**Priority number(s):** JP19860089963 19860421

Report a data error here

**Abstract of JP62248255**

**PURPOSE:**To reduce both threshold voltage and leakage currents by bringing only a section in the vicinity of a gate oxide film in a channel forming region to the same conductivity type as a source region and a drain region and bringing other sections to a reverse conductivity type. **CONSTITUTION:**An oxide film formed onto an Si substrate is used in an insulating substrate 1, and a channel forming region 2, a source region 3 and a drain region 4 are shaped into a polysilicon thin-film on the insulating substrate 1. A gate electrode 8 is formed onto the channel forming region 2 through a gate oxide film 5, and a field oxide film 6, a source electrode 7 and a drain electrode 9 are shaped. The channel forming region 2 is formed from two regions of an n-type channel surface 12 shaped to a section in the vicinity of the gate oxide film 5 and a p-type channel lower region 11 formed to a section except the n-type channel surface 12.



Data supplied from the **esp@cenet** database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-248255

⑮ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)10月29日

H 01 L 29/78  
27/12

8422-5F  
7514-5F

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 薄膜トランジスタ

⑯ 特 願 昭61-89963

⑰ 出 願 昭61(1986)4月21日

⑱ 発 明 者 村 上 浩 一 横浜市神奈川区宝町2番地 日産自動車株式会社内

⑲ 出 願 人 日産自動車株式会社 横浜市神奈川区宝町2番地

⑳ 代 理 人 弁理士 中村 純之助

印刷 本田 雅夫

1. 発明の名称 薄膜トランジスタ

2. 特許請求の範囲

絶縁基板上に設けた半導体薄膜にチャネル形成領域を挟んでソース領域とドレイン領域とを形成し、更に上記チャネル形成領域上にゲート酸化膜を介してゲート電極を設けた薄膜トランジスタにおいて、上記チャネル形成領域が、第1導電型にドーピングされた半導体薄膜上のゲート酸化膜中に第2導電型の不純物をイオン注入し、その後の熱処理で上記第2導電型の不純物を上記半導体薄膜表面に拡散することによって上記ゲート酸化膜近傍部分に形成された第2導電型の第1の領域と、第1導電型の第2の領域とからなることを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

〔発明の利用分野〕

本発明は、薄膜トランジスタに関し、特に閾値電圧低減及びリーク電流低減の技術に関するもの

である。

〔従来技術〕

従来の薄膜トランジスタとしては、例えば、第5図に示すごときものがある(例えば アイイーイーイー トランザクション オン エレクトロニクス デバイセス IEEE Transaction on Electron Devices, vol. ED-32, No.2 p258~281 1985に記載)。

第5図において、1は絶縁基板であり、通常Si基板上に設けた酸化膜を用いることが多い。

また、チャネル形成領域2、ソース領域3およびドレイン領域4は、絶縁基板1上に設けたポリシリコン薄膜中に形成されている。

また、チャネル形成領域2の上には、ゲート酸化膜5を介してゲート電極6が形成されている。

その他6はフィールド酸化膜、7はソース電極、9はドレイン電極である。

なお、第5図の符号は、nチャネルMOSの場合を例示したものである。

〔発明が解決しようとする問題点〕

前記第5図に示すごとく、能動層としてポリシリコンの薄膜を用いる場合には、ポリシリコンは名前のとおり粒状の小さな結晶の集まりであるため、結晶粒界が存在し、そのため、トラップ準位が発生して閾値電圧 $V_T$ が増加するという問題がある。

上記の閾値電圧を低下させるためには、ゲート酸化膜5を薄くする方法、およびチャネル形成領域2の不純物型をn型にする方法の2つの方法がある。

しかし、前者のゲート酸化膜を薄くする方法においては、ゲート酸化膜の絶縁耐圧の点から限界があり、大きな効果は得られない。

また、後者のチャネル形成領域の不純物型をn型にする方法においては、不純物濃度を増大させるにつれて閾値電圧は低下する。しかし、トランジスタをオフ状態にした場合のオフ電流、すなわちリーク電流は不純物濃度を増大させるほど増大する。

このリーク電流は、ポリシリコン薄膜の厚さを

し、その後の熱処理で上記第2導電型の不純物を上記半導体薄膜表面に拡散することにより、チャネル形成領域のゲート酸化膜近傍部分のみをソース領域およびドレイン領域と同一導電型（例えばn型）とし、他の部分は反対導電型（例えばp型）とするように構成している。

#### 〔作用〕

上記のように構成したことにより、本発明においては、実際にチャネル領域として動作する部分（ソースおよびドレイン領域と同一導電型の部分）の厚さは、充分薄くすることが出来るので、リーク電流を減少させることが出来る。また、この部分の不純物濃度を増大させることによって、閾値電圧を低下させることが出来る。しかもポリシリコン薄膜の厚さは特別に薄くする必要が無いので、ゲート酸化膜の形成にも支障を来すおそれがない。

#### 〔発明の実施例〕

第1図は本発明の一実施例の断面図である。

第1図において、チャネル形成領域2は、ゲート酸化膜5の近傍部分に形成されたn型チャネル

層をすることによって減少させることが可能である。

しかし、ゲート酸化膜5は、ポリシリコン薄膜の表面部分を熱酸化することによって形成しているので、ゲート酸化膜として用いる絶縁耐圧の高い熱酸化膜を厚さ1000~2000Å程度に精度よく形成するためには、ポリシリコン薄膜の厚さをあまり薄くすることは困難であり、500~1000Å程度が限界である。

したがって、従来の方法では、閾値電圧が低く、しかもリーク電流の低い薄膜トランジスタを実現することは困難であった。

本発明は、上記のごとき従来技術の問題を解決するためになされたものであり、閾値電圧が充分低く、かつ、リーク電流も少ない薄膜トランジスタを提供することを目的とするものである。

#### 〔問題を解決するための手段〕

上記の目的を達成するため、本発明においては、第1導電型にドーピングされた半導体薄膜上のゲート酸化膜中に第2導電型の不純物をイオン注入

表面領域12とそれ以外の部分に形成されたp型チャネル下部領域11との2つの領域から形成されている。

その他の部分は、前記第5図の従来例と同様である。

次に、作用を説明する。

前記第5図および第1図のごとき構造のトランジスタの閾値電圧 $V_T$ は、下記(1)式で示される。

$$V_T = \phi_{ms} + 2\phi_F + Q_i / C_{ox} \pm Q_B / C_{ox} \dots (1)$$

ただし、 $\phi_{ms}$ はゲート電極とポリシリコン薄膜との仕事関数差(V)、 $\phi_F$ はフェルミ電位(V)、 $Q_i$ は界面電荷量(C/cm<sup>2</sup>)、 $Q_B$ は空乏層中の電荷量(C/cm<sup>2</sup>)、 $C_{ox}$ はゲート酸化膜の容量である。また、 $Q_B$ の前にある±の符号は、ポリシリコン薄膜がn型のときは-、p型のときは+となる。

(1)式において、 $\phi_{ms} + 2\phi_F$ はポリシリコン薄膜の不純物型、不純物量およびゲート電極材料に依存するが、ほぼ-1~0Vの範囲である。

また、ポリシリコンはバルクシリコンに比べてトラップ密度、ひいては界面電荷密度が1~2桁大きいので、 $Q_i/C_{ox}$ は10V程度の値となる。

したがって、閾値電圧 $V_T$ を1~2V程度に低下させるためには、ポリシリコン薄膜を $10^{17} \sim 10^{18} \text{cm}^{-3}$ 程度の不純物濃度のn型にする必要がある。

しかし、ポリシリコン薄膜をn型にし、しかも $10^{17} \sim 10^{18} \text{cm}^{-3}$ 程度の高不純物濃度にするるとリーク電流が増大する。

第2図は、ポリシリコン膜厚とリーク電流との関係を示す図である。

第2図から判るように、リーク電流を減少させるためには、ポリシリコン膜厚を薄くする必要がある。

第1図に示す本発明の構造においては、チャネル形成領域2の表面部分にのみ薄いn型チャネル表面領域12を形成しており、この部分のみが実際にチャネル領域として動作するので、n型チャネル表面領域12の不純物濃度を制御することによ

る。

次に、(E)において、拡散定数の小さなn型の不純物(例えば、AsまたはSb)をゲート酸化膜5中に濃度のピークが来るようにイオン注入する。なお、不純物濃度分布はイオン打ち込みの強度によって任意に設定することが出来る。

次に、(F)において、熱処理によってゲート酸化膜5中の不純物をチャネル形成領域2中に拡散させ、チャネル形成領域2の表面にn型チャネル表面領域12を形成する。

次に、(G)において、フィールド酸化膜6にフォトリソエッチングによって孔開けをする。

次に、(H)において、配線用金属(例えば、Al)を蒸着もしくはスパッタリングで形成し、フォトリソエッチングによってパターニングすることにより、ソース電極7、ゲート電極8およびドレイン電極9を形成する。

次に、第4図に基づいて本発明の製造方法の特徴を説明する。なお、第4図において図面の左半分はチャネル形成領域の断面図、右半分は不純物

濃度分布 $V_T$ を制御することが出来る。また、n型チャネル表面領域12の厚さを薄くすることによってリーク電流を低減することが出来る。

次に、第3図に基づいて本発明の装置の製造方法を説明する。

まず、(A)において、絶縁基板1(例えば、シリコン基板上に形成された酸化膜)上にCVD法によってポリシリコン薄膜21を厚さ数千Å程度に形成し、フォトリソエッチングによって所定領域のみを残す。

なお、このポリシリコン薄膜21には、p型の不純物を導入しておく。

次に、(B)において、n型の高濃度不純物のイオン注入または拡散によってソース領域3およびドレイン領域4を形成する。

次に、(C)において、熱酸化またはCVD法によって $\text{SiO}_2$ またはPSG等の絶縁膜を形成することにより、フィールド酸化膜6を形成する。

次に、(D)において、チャネル形成領域2の上にゲート酸化膜5を厚さ1000~2000Åに形成す

濃度分布を示している。

第4図において、(A)および(B)は、従来の製造方法、(C)は本発明の製造方法である。

まず、(A)の方法は、ポリシリコン薄膜表面に直接イオン注入する方法である。この場合には、表面近傍にのみn領域の形成が可能になるが、その後に行なわれるゲート酸化膜形成等の熱処理工程によって不純物の拡散が生じ、それによってn領域が広がるので、n型チャネル表面領域12を薄く形成することが困難である。

また、(B)に示す方法は、ゲート酸化膜5を形成した後、そのゲート酸化膜を通してイオン注入を行ない、ポリシリコン薄膜表面近傍に不純物濃度のピークを設定したものである。

しかし、この場合には、ゲート酸化膜5の厚さが1000~2000Åであるため、不純物分布がずそをひき、その結果としてn型チャネル表面領域12の厚さが厚くなるという問題がある。

次に、(C)に示す本発明の方法においては、ゲート酸化膜5を通してイオン注入を行なう点は

(B)と同様であるが、不純物濃度のピークをゲート酸化膜5中に設定していることが特徴である。この場合には、不純物分布が(B)に比べてシャープとなり、その後所定の熱処理を行なうことによってn型チャネル表面領域12を薄く形成することが可能となる。

なお、これまでの説明においては、nチャネルMOSトランジスタについて例示したが、pチャネルMOSトランジスタの場合も不純物の導電型を逆にすることによって同様に適用することが出来る。

また、これまでの説明においては、 $\Lambda$ ゲートの場合について例示したが、セルフアライン法を用いるポリシリコンゲートの場合についてもソース領域およびドレイン領域の形成手順を変えることによって同様に本発明を適用することが出来る。  
〔発明の効果〕

以上説明したごとく、本発明においては、チャネル形成領域のゲート酸化膜近傍部分のみをソース領域およびドレイン領域と同一導電型とし、他

の部分と反対導電型とるように構成しているので、閾値電圧およびリーク電流を共に低減することが出来る。またポリシリコン障壁を特別に薄くする必要がないので製造が容易であり、製造歩留まりを向上させることが出来るという効果も得られる。

#### 4. 図面の簡単な説明

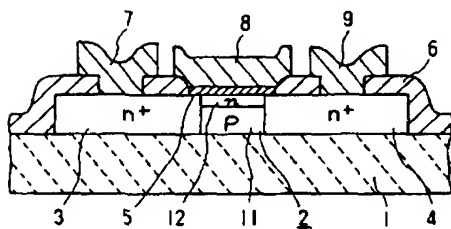
第1図は本発明の一実施例の断面図、第2図はリーク電流とポリシリコン障壁との関係図、第3図は本発明の製造工程図、第4図は製造方法の比較図、第5図は従来例の一例の断面図である。

#### 〈符号の説明〉

- |               |               |
|---------------|---------------|
| 1…絶縁基板        | 2…チャネル形成領域    |
| 3…ソース領域       | 4…ドレイン領域      |
| 5…ゲート酸化膜      | 6…フィールド酸化膜    |
| 7…ソース電極       | 8…ゲート電極       |
| 9…ドレイン電極      | 11…p型チャネル下部領域 |
| 12…n型チャネル表面領域 |               |

代理人弁理士 中村 純之助

図 1



- |            |               |
|------------|---------------|
| 1…絶縁基板     | 7…ソース電極       |
| 2…チャネル形成領域 | 8…ゲート電極       |
| 3…ソース領域    | 9…ドレイン電極      |
| 4…ドレイン領域   | 11…p型チャネル下部領域 |
| 5…ゲート酸化膜   | 12…n型チャネル表面領域 |
| 6…フィールド酸化膜 |               |

図 2

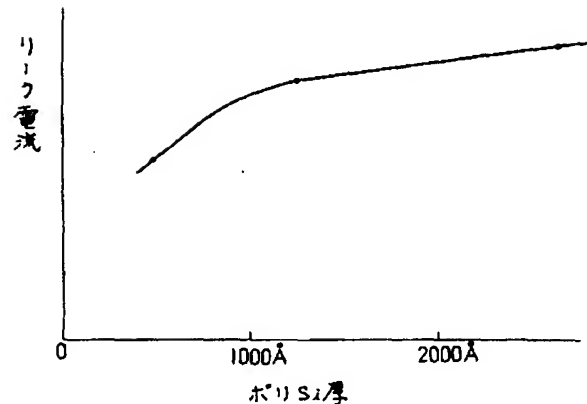


図3 図

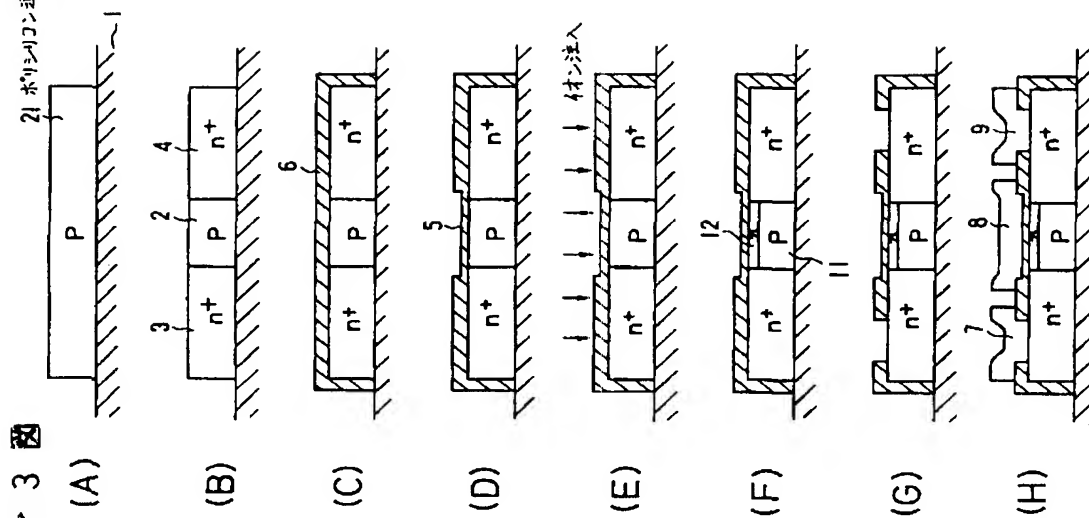


図4 図

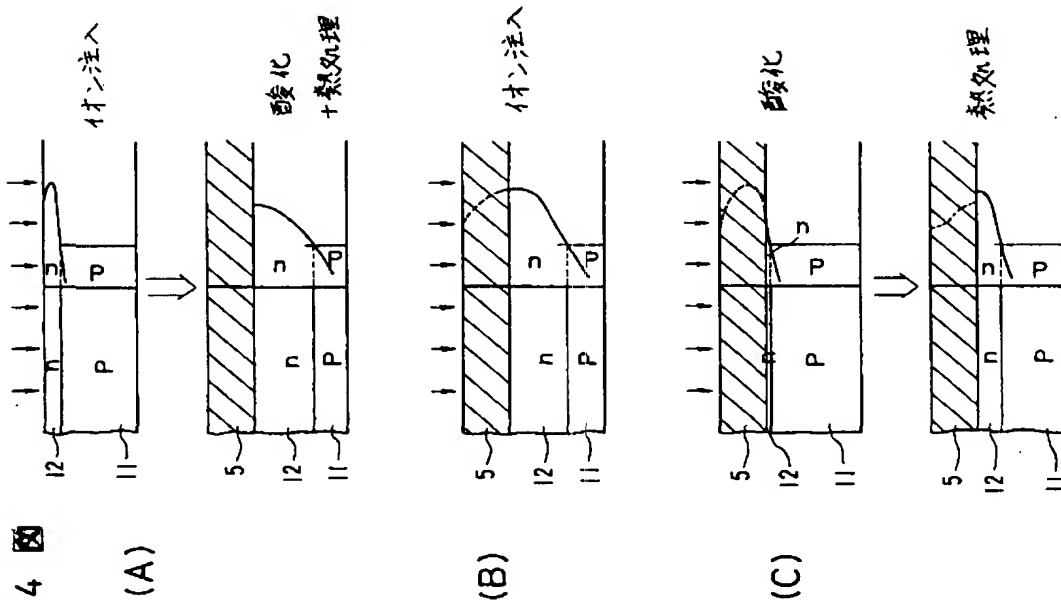
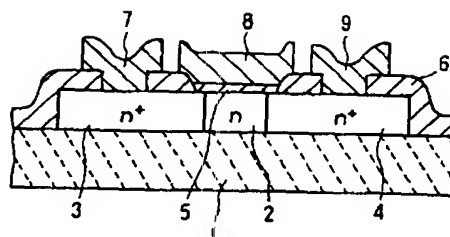


図 5



- |            |              |
|------------|--------------|
| 1---絶縁基板   | 2---チャネル形成領域 |
| 3---ソース領域  | 4---ドレイン領域   |
| 5---ゲート酸化膜 | 6---フィールド酸化膜 |
| 7---ソース電極  | 8---ゲート電極    |
| 9---ドレイン電極 |              |